

541040

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年7月29日 (29.07.2004)

PCT

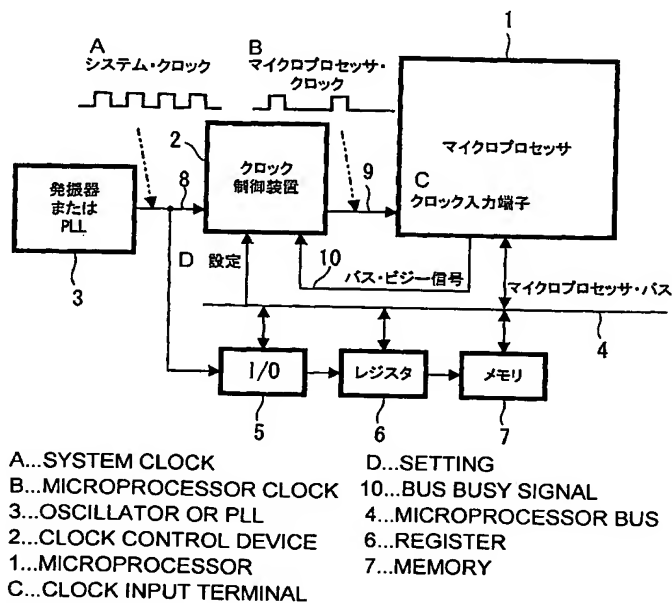
(10) 国際公開番号
WO 2004/063912 A1

- (51) 国際特許分類: G06F 1/04 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/017060 (75) 発明者/出願人 (米国についてのみ): 花本 博一
(22) 国際出願日: 2003年12月26日 (26.12.2003) (HANAOKI, Hirokazu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(25) 国際出願の言語: 日本語 (74) 代理人: 角田 芳末, 外 (TSUNODA, Yoshisue et al.); 〒160-0023 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-002605 2003年1月8日 (08.01.2003) JP (81) 指定国 (国内): CN, US.
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: CLOCK CONTROL DEVICE, MICROPROCESSOR, ELECTRONIC DEVICE, CLOCK CONTROL METHOD, AND CLOCK CONTROL PROGRAM

(54) 発明の名称: クロック制御装置、マイクロプロセッサ、電子機器及びクロック制御方法、並びにクロック制御プログラム



(57) Abstract: It is possible to easily and instantaneously modify the number of pulses of the operation clock to a microprocessor. While at least a bus busy signal (10) indicating that the bus (4) is busy from a microprocessor (1) is present by a clock control device (2), a clock of the same number of pulses as the system clock (8) is supplied as the operation clock (9) to the microprocessor (1). While the bus busy signal (10) is absent, an intermittent clock subtracted by the number of pulses of the system clock (8) is supplied as the operation clock (9) to the microprocessor (1).

(57) 要約: マイクロプロセッサへの動作クロックのパルス数を容易に、且つ瞬時に変更制御可能とすることを目的として、クロック制御装置2によって、少なくとも、マイクロプロセッサ1からの、バス4がビジー状態にあることを示すバス・ビ

[続葉有]

WO 2004/063912 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ジー信号10が存在している間は、システム・クロック8と同じパルス数のクロックを、バス・ビジー信号10が存在しない間では、システム・クロック8のパルス数を減じた歯抜けクロックを、それぞれ動作クロック9としてマイクロプロセッサ1に供給するようにした。

明 細 書

クロック制御装置、マイクロプロセッサ、電子機器
及びクロック制御方法、並びにクロック制御プログラム

5 技術分野

本発明は、マイクロプロセッサへの動作クロックのパルス数を制御するクロック制御装置及び制御方法、このクロック制御装置が具備されてなるマイクロプロセッサ、このマイクロプロセッサを制御処理手段として含んでなる電子機器、マイクロプロセッサへの動作クロックのパルス数を制御するためのクロック制御プログラムに関する。

背景技術

マイクロプロセッサ上で実行されるソフトウェアの処理に時間的余裕がある場合、マイクロプロセッサへの動作クロック周波数を低下させることで、消費電力の低減化が可能となっている。これまでのマイクロプロセッサ・システムでも、マイクロプロセッサへの動作クロック周波数を低下させることが行われてはいるが、その機構は、専らクロック発振元での周波数を変化せしめることにより実現されているのが実情である。具体的には、発振元である発振器やPLL回路といった特殊回路の出力周波数が可変に制御されている。

因みに、特開2000-217173号公報には、その従来技術として、2以上の異なるクロックモードを有するマイクロコンピュータに関しての記載が見受けられるが、この記載だけからは、2以上の異なるクロックモードが如何に実現されているのか、その内容は不明となっている。

以上のように、これまでにあっては、マイクロプロセッサへの

動作クロックの周波数を低下させる場合、発振元である発振器やPLL回路といった特殊回路の出力周波数が可変に制御されていた。しかしながら、その制御を行うためには、発振器やPLL回路の出力周波数の変更が可能であることを前提として、マイクロプロセッサへの動作クロック供給は、一旦、停止された後、動作クロックの周波数が変更される、といった具合に、一連の手続を順次、踏む必要があったり、その変更には、マイクロプロセッサの動作周波数に比し、多くの時間が要されていた。このため、マイクロプロセッサ上で動作されるソフトウェアが開発されるに際しては、マイクロプロセッサの動作クロック周波数を変更するために必要な時間を考慮の上、開発される必要がある等、その開発には多くの制約があった。

本発明の目的は、マイクロプロセッサへの動作クロック周波数を、クロック発振元のクロック周波数（クロックパルス幅）を変更することなく、そのクロックのパルス数を変更することにより、容易に、且つ瞬時に、マイクロプロセッサの動作周波数を変更（クロックパルス幅は同じでパルス数にて変更）制御可能とされているクロック制御装置を提供することにある。

本発明の目的はまた、そのようなクロック制御装置が具備されてなるマイクロプロセッサを提供することにある。

本発明の他の目的は、そのようなマイクロプロセッサを制御処理手段として含んでなる電子機器を提供することにある。

本発明の更なる他の目的は、マイクロプロセッサへの動作クロックの周波数が容易に、且つ瞬時に変更制御可能とされているクロック制御方法を提供することにある。

本発明の更に異なる他の目的は、マイクロプロセッサへの割込み信号に基づき、そのマイクロプロセッサへの動作クロックのパルス数を、割込み要因に応じて容易に、且つ瞬時に変更制御する

ためのクロック制御プログラムを提供することにある

発明の開示

第1の発明は、少なくとも、マイクロプロセッサからの、バス
5 がビジー状態にあることを示すバス・ビジー信号の存否に基づき、
上記マイクロプロセッサへの動作クロックのパルス数を制御する
クロック制御装置であって、

バス・ビジー信号が存在している間は、システム・クロックそ
のものを、上記バス・ビジー信号が存在しない間では、システム・
10 クロックのパルス数を減じた歯抜けクロックを、それぞれ動作ク
ロックとしてマイクロプロセッサに供給するクロック制御手段を
含むクロック制御装置としたものである。

第2の発明は、第1の発明のクロック制御装置において、

マイクロプロセッサに何れかの割込み要因に基づく割込み信号
15 があった場合、該割込み要因対応に事前設定されているパルス数
制御データが、マイクロプロセッサからバスを介し、クロック制
御手段にプログラム転送によりマイクロプロセッサ・クロックパ
ルス数制御データとして設定された上、マイクロプロセッサ動作
クロックパルス数が制御されるクロック制御装置としたものであ
20 る。

第3の発明は、第1の発明のクロック制御装置において、

クロック制御手段に何れかの割込み要因に基づく割込み信号が
あった場合、該割込み要因対応に事前設定されているパルス数制
御データがマイクロプロセッサ・クロックパルス数制御データと
25 して設定された上、マイクロプロセッサ動作クロックパルス数が
制御されるクロック制御装置としたものである。

第4の発明は、クロック制御装置が具備されてなるマイクロプ
ロセッサであって、

クロック制御装置には、

マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号が存在している間は、システム・クロックそのものを、上記バス・ビジー信号が存在しない間では、システム・クロックのパルス数を減じた歯抜けクロックを、それぞれ動作クロックとして上記マイクロプロセッサに供給するクロック制御手段が含まれてなるマイクロプロセッサとしたものである。

第5の発明は、クロック制御装置が具備されてなるマイクロプロセッサを制御処理手段として含んでなる電子機器であって、

クロック制御装置には、

マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号が存在している間は、システム・クロックそのものを、上記バス・ビジー信号が存在しない間では、システム・クロックのパルス数を減じた歯抜けクロックを、それぞれ動作クロックとして上記マイクロプロセッサに供給するクロック制御手段が含まれてなる電子機器としたものである。

第6の発明は、少なくとも、マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号の存否に基づき、動作クロック供給元で上記マイクロプロセッサへの動作クロックのクロックパルス数が制御されるクロック制御方法であって、

バス・ビジー信号が存在している間は、システム・クロックと同じパルス数の動作クロックをマイクロプロセッサに供給するシステム・クロック供給ステップと、

上記バス・ビジー信号が存在しない間、システム・クロックのパルス数を減じた歯抜けクロックをマイクロプロセッサに供給する歯抜けクロック供給ステップを含むクロック制御方法としたものである。

第7の発明は、第6の発明のクロック制御方法において、

上記歯抜けクロック供給ステップの実行に先立って、

- 5 マイクロプロセッサへの、各割込み要因に基づく割込み信号に基づき、各割込み要因対応に事前設定されているパルス数制御データを、マイクロプロセッサからバスを介し、プログラム転送により動作クロック供給元にマイクロプロセッサ・クロックパルス数制御データとして設定するステップが実行されるクロック制御方法としたものである。

第 8 の発明は、第 6 の発明のクロック制御方法において、
上記歯抜けクロック供給ステップの実行に先立って、

- 10 動作クロック供給元への、何れかの割込み要因に基づく割込み信号に基づき、該割込み要因対応に事前設定されているパルス数制御データを、マイクロプロセッサ・クロックパルス数制御データとして設定するステップが実行されるクロック制御方法としたものである。

- 15 第 9 の発明は、外部からマイクロプロセッサへの割込み信号に基づき、該マイクロプロセッサへの動作クロックのパルス数を、パルス数制御データに基づき動作クロック供給元で制御するためのクロック制御プログラムであって、

- 20 外部から割込み信号がある度に、割込み要因を識別する割込み要因識別ステップと、

- 25 該割込み要因識別ステップで識別された割込み要因対応に事前設定されているパルス数制御データを、動作クロック供給元にマイクロプロセッサ・クロックパルス数制御データとしてプログラム転送設定するパルス数制御データ転送設定ステップとを含む処理を実行するクロック制御プログラムとしたものである。

これらの発明によると、マイクロプロセッサからバス・ビジー信号が出力されている間は、無条件にシステム・クロックと同等の動作クロックとして、そのマイクロプロセッサに入力されてい

るが、それが出力されていない間は、適当にパルス数が少ない歯抜け制御されたシステム・クロックが動作クロックとして、そのマイクロプロセッサに入力されることで、消費電力の低減化が図られている。

- 5 従って、マイクロプロセッサへの動作クロックのパルス数が容易に、且つ瞬時に変更制御可能とされているクロック制御装置が提供される。

また、そのようなクロック制御装置が具備されてなるマイクロプロセッサが提供される。

- 10 また、そのようなマイクロプロセッサを制御処理手段として含んでなる電子機器が提供される。

また、マイクロプロセッサへの動作クロックのパルス数が容易に、且つ瞬時に変更制御可能とされているクロック制御方法が提供される。

- 15 さらに、マイクロプロセッサへの割込み信号に基づき、そのマイクロプロセッサへの動作クロックのパルス数を割込み要因に応じて容易に、且つ瞬時に変更制御するためのクロック制御プログラムが提供される。

20 図面の簡単な説明

図1は、本発明に係るマイクロプロセッサ・システムの一例でのシステム構成を示す図である。

図2は、本発明のクロック制御装置の一例での構成を示す図である。

- 25 図3は、割込み信号があった場合に実行されるクロック制御プログラムの一例でフローを示す図である。

図4は、育成シミュレーションを行う携帯用ゲーム機の一般的な概要構成を示す図である。

図 5 は、育成ゲーム機において、CPU への動作クロックのパルス数が制御される場合での処理フローを示す図である。

発明を実施するための最良の形態

5 以下、本発明の一実施の形態の例を図 1 から図 5 により説明する。

10 先ず本発明に係るマイクロプロセッサ・システムについて説明すれば、図 1 にその一例でのシステム構成を示す。図示のように、マイクロプロセッサ 1 には、マイクロプロセッサ・バス 4 を介し、各種入出力装置 5 やレジスタ 6、メモリ 7 等が並列的に接続されているが、本発明のクロック制御装置 2 もまた、同様に、マイクロプロセッサ 1 に接続されている。因みに、本例では、マイクロプロセッサ 1 を 1 個のみ含むシステム構成が想定されているが、それを複数含むマルチプロセッサ・システムにも、本発明は
15 適用可能となっている。

20 さて、クロック発振器 3 ではシステム・クロック 8 が発生されているが、そのシステム・クロック 8 は各種入出力装置 5 やレジスタ 6、メモリ 7、クロック制御装置 2 等には直接、動作クロックとして入力される。しかしながら、マイクロプロセッサ 1 には、クロック制御装置 2 を介しマイクロプロセッサ・(動作)クロック 9 として入力されている。クロック制御装置 2 では、マイクロプロセッサ 1 からの、マイクロプロセッサ・バス 4 が現にビジー状態にあることを示すバス・ビジー信号 (ハードウェア的に自動発生) 10 の存否や、マイクロプロセッサ 1 からクロック制御装置
25 2 に、マイクロプロセッサ・バス 4 を介しプログラム転送設定されているパルス数制御データに基づき、システム・クロック 8 と同じパルス数のクロックか、または適当に歯抜け制御されたクロックを、マイクロプロセッサ・クロック 9 としてマイクロプロセ

ッサ 1 に供給している。

図 2 にそのクロック制御装置 2 の一例での構成を示す。図示のように、マイクロプロセッサ 1 からのバス・ビジー信号 10 が存在する場合、即ち、その信号状態が“1”状態にある場合には、“1”状態にある期間に亘って、バス・ビジー信号 10 は無条件に ...R ゲート 24、ラッチ 25 を介し、システム・クロック 8 の通過を許容するゲート制御信号として AND ゲート 26 に作用する結果、比較的長い期間に亘って、システム・クロック 8 と同じパルス数のクロックがマイクロプロセッサ・クロック 9 として得られる。

10 因みに、システム・クロック 8 をマイクロプロセッサ・クロック 9 と同じパルス数として得るための信号としては、バス・ビジー信号 10 以外にも種々考えられるが、これら信号をも考慮する場合には、これら信号はバス・ビジー信号と論理和された上、...R ゲート 24 に入力されるようにすればよい。

15 しかしながら、マイクロプロセッサ 1 からのバス・ビジー信号 10 が存在しない場合、即ち、その信号状態が“0”状態にある場合は、システム・クロック 8 の通過を許容するゲート制御信号は、本例での場合、パルス数可変、即ち、パルスを出力したり、出力停止したりするように、事前設定されているマイクロプロセッサ・クロックパルス数制御データに基づき、比較器 23 から周期的に発生されていることから、結果的に、適当に歯抜け制御されたシステム・クロック 8 がマイクロプロセッサ・クロック 9 として得られるようになっている。なお、ラッチ 25 はシステム・クロック 8 の立上り時点でその直前での ...R ゲート 24 出力状態を保持し、システム・クロック 8 が“1”状態にある間、その保持出力を継続するも、システム・クロック 8 が“0”状態では、...R ゲート 24 出力状態をそのまま通過出力すべく機能しているが、システム・クロック 8 が“1”状態にある間、...R ゲート 24 出力状態

が変化しないことが保障されていれば、必ずしも必要とはされない。

ここで、マイクロプロセッサ 1 に何れかの割込み要因に基づく割込み信号があった場合には、その割込み要因対応のパルス数制御データがマイクロプロセッサ 1 からマイクロプロセッサ・バス 4 を介し、システム・クロックパルス数制御データとして設定レジスタ 21 に設定されることで、マイクロプロセッサ・クロック 9 のパルス数が切替え制御される。図示のように、システム・クロック 8 はカウンタ 22 で常時カウントされているが、例えばそのカウント値が設定レジスタ 21 上の設定値より小さい場合は、比較器 23 が“1”状態を出力してシステム・クロック 8 を通し、設定値以上の場合は、比較器 23 が“0”状態を出力してシステム・クロック 8 の通過は停止されるようになっている。カウンタ 22 の最大カウント値は、通常、固定値として事前設定されているが、マイクロプロセッサ 1 からバス 4 を介し、随時、可変に設定することも可能となっている。より具体的に、例えばカウンタ 22 の最大カウント値が 99 に設定されているとすれば、カウンタ 22 は、そのカウント値が 0 から 99 までインクリメントされた後、再度、そのカウント値は 0 に戻り、その後、また、そのカウント値はインクリメントされていくことになる。その際に、設定レジスタ 21 に 50 が設定されていたとすれば、カウント値が 0 ~ 49 にある間は、システム・クロック 8 がマイクロプロセッサ 1 に入力されるも、カウント値が 50 ~ 99 にある間は、システム・クロック 8 のマイクロプロセッサ 1 への入力 は停止されることになる。この結果、全体としてのパルス数が半分となり、その分、消費電力が削減されることになる。

因みに、以上では、マイクロプロセッサ 1 に割込み信号がある度に、事前設定されている割込み要因対応パルス数制御データが

マイクロプロセッサ 1 から設定レジスタ 2 1 に設定されているが、このパルス数制御データのプログラムによる転送設定は割込み信号があった場合だけではなく、必要に応じて随時、行うことも可能となっている。尤も、設定レジスタ 2 1 にマイクロプロセッサ 1 から、必要とされる、割込み要因対応のパルス数制御データが
5 全て事前設定されている場合には、その都度、マイクロプロセッサ 1 から設定レジスタ 2 1 に新たに設定することは不要となっている。マイクロプロセッサ 1 への割込み信号が、設定レジスタ 2 1 にも入力されるようにすれば、その割込み要因対応のパルス数
10 制御データが、即、マイクロプロセッサ・クロックパルス数制御データとして選択設定されればよいからである。なお、パワー・オン時に発生されるリセット信号により設定レジスタ 2 1 には、カウンタ 2 2 の最大カウント値がデフォルト値として設定されるようになっている。

15 ここで、割込み信号について説明すれば、割込み信号は各種入出力装置 5 や他のマイクロプロセッサ等で各種の割込み要因対応のものとして発生された上、個別割込み信号線を介しマイクロプロセッサ 1 や設定レジスタ 2 1 に入力され、マイクロプロセッサ 1 では該当割込み処理が行われているが、その該当割込み処理の
20 実行に先立っては、既述の如くにしてマイクロプロセッサ 1 へのマイクロプロセッサ・クロック 9 のパルス数が制御される。結局、マイクロプロセッサ 1 での割込み処理は、割込み要因に応じたクロックパルス数のマイクロプロセッサ・クロック 9 により行われることになる。

25 ところで、マイクロプロセッサ 1 に何れかの割込み要因に基づく割込み信号があった場合、その割込み要因対応に事前設定されているパルス数制御データが、マイクロプロセッサ・クロックパルス数制御データとして設定レジスタ 2 1 にプログラム転送設定

されているが、このためのクロック制御プログラムの一例でのフローチャートを図 3 に示す。このクロック制御プログラムは、マイクロプロセッサ 1 に割込み信号がある度に起動されており、起動された場合には、先ずその割込み要因が識別される(処理 3 1)。

- 5 割込み要因が識別されれば、その割込み要因対応に事前設定されているパルス数制御データが、マイクロプロセッサ 1 から設定レジスタ 2 1 にプログラム転送設定される(処理 3 2)。このようにして、割込み信号がある度に、クロック制御プログラムが実行される場合には、その割込み信号に対する割込み処理は、割込み要因に応じたマイクロプロセッサ・クロック 9 により行われることになる。

- 15 以上のように、マイクロプロセッサ・システムが、クロック制御装置が追加された状態として構成される場合には、マイクロプロセッサとそれ以外の装置とのデータ通信は常にバス・ビジー状態で行われることから、そのデータ通信に何等悪影響を与えることなく、マイクロプロセッサの動作クロックパルス数が瞬時に変更可能となる。これにより、バス・ビジー信号や割込み信号、ソフトウェア(クロック制御プログラム)によるマイクロプロセッサの動作クロック周波数の変更がきめ細かい時間単位で行うことが可能となり、システム全体としての消費電力が低減化されることになる。

- 25 以上のようにして、クロック制御装置を始めとして、これが具備されてなるマイクロプロセッサ(システム)や、このマイクロプロセッサを制御処理手段として含む電子機器、更には、クロック制御方法やクロック制御プログラム等、各種のものが発明として考えられるが、実際には、商品としての形態を採る携帯型電子機器(例えば P D A (Personal Digital Assistant) や携帯電話機、ポータブル C D (Compact Disc) / M D (Mini Disc) プレーヤ

等のモバイル機器全般を指す)に適用されて、特に有効となっている。これは、携帯型電子機器一般は、その動作電源が一般に電池とされているが、消費電力が低減化されれば、その分、頻繁に電池交換や電池充電を行わないで済まされるからである。

5 ここで、携帯型電子機器として、育成シミュレーションを行う携帯用ゲーム機に例を採って説明すれば、図4にその一般的な概要構成を示す。このゲーム機では、事前記憶されている育成シミュレーションのプログラムに基づいて、プレーヤが仮想キャラクタを長期間に亘って育成していくようにされており、ゲーム機自
10 体は携帯が可能のように、片手で持てる程度の小型サイズとして構成されている。

より具体的に、そのゲーム機の構成について説明すれば、以下のようである。即ち、図4に示すように、大別して、ゲーム機は、ゲームプログラム411、複数の映像データ412及び複数の
15 音データ413がROM43に事前記憶されてなるカセット41と、このカセット41と電氣的に接続可能とされ、カセット41のゲームプログラム411を進行させるゲーム機本体42とから構成されている。ゲーム機本体42はまた、プログラム411を進行させるRAM423と、ROM43の映像データ412を
20 映像として表示する液晶表示ユニット427と、音データ413を可聴音として再生する音再生ユニット425と、プレーヤの意思を自身が入力するためのキー入力部421と、プログラム411の進行を命令し、プログラム411の進行及びプレーヤからのキー入力に応じて、複数の映像データ412のうちから、適当な
25 映像データを表示駆動回路426に転送して液晶表示ユニット427で表示を行う一方、複数の音データ413のうちから、適当な音データを音声再生回路424を介し音再生ユニット425に転送して出力させるCPU422と、動作電源としての電池(図

示せず) とを含むようにして構成されている。

ゲームに際しては、プレーヤはキー入力や押しボタンを用い、液晶表示されるキャラクタを長時間かけて育成していく育成ゲームを開始させる。プログラム 4 1 1 の進行途中においては、キャラクタがプレーヤに対して、恰も「食事」や「遊び」等を要求しているように、映像表示や音発生が行われるが、これに応えるべく、プレーヤからはキー入力が行われる、といった具合にして、ゲームは進行するようになっている。

さて、以上のような育成ゲーム機における問題点としては、ゲーム機側からプレーヤに対する要求は何時行われるかが予め知れなく、ゲーム機側がプレーヤに対して何等要求を行わない段階に入ったとしても、CPU 4 2 2 をそのままの状態におくことは、消費電力上、不利なことが挙げられる。よって、ゲーム機側がプレーヤに対して何等要求を行わない段階に入ってから、要求する段階に入るまでの間においては、CPU 4 2 2 への動作クロックとして、通常の周波数の動作クロックに比し、低い周波数の動作クロック(ここでの低い周波数とは、クロックパルス幅ではなく、クロックパルス数が減じられていることを意味する)を使用することが考えられる。即ち、本発明のクロック制御装置をゲーム機に搭載することが考えられる。

その CPU 4 2 2 への動作クロックのパルス数が制御される場合での処理フローを図 5 に示す。図示のように、プレーヤによりキー入力が行われ、そのデータの取り込みが行われた後に、ゲーム機がプレーヤに対し操作を要求しなくなったかが判断される(処理 5 1, 5 2)。操作を要求しなくなったと判断されれば、CPU 4 2 2 への動作クロックは、そのパルス数がクロック制御装置により低下せしめられる(処理 5 3)。その後、操作を要求する段階に入ったか否かが判断される(処理 5 4)。操作を要求する段

階に入ったと判断されれば、CPU 422への動作クロックは、そのパルス数がクロック制御装置により元のパルス数に復帰される（処理54，55）。

- 5 CPU 422への動作クロックのパルス数はまた、ゲームソフトの種類に応じて、変更可能とされる。例えば格闘ゲーム等、データ量／時間が大きいゲームソフトに対しては、CPU 422への動作クロックのパルス数は通常値に設定されるが、将棋や麻雀等、データ量／時間が小さいゲームソフトに対しては、そのパルス数は通常値よりも低い値に設定されるようにすればよい。
- 10 以上、本発明者によってなされた発明を実施の形態に基づき、具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内で種々変更可能であることはいうまでもない。

請 求 の 範 囲

1. 少なくとも、マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号の存否に基づき、上記マイクロプロセッサへの動作クロックのパルス数を制御するクロック制御装置であって、

バス・ビジー信号が存在している間は、システム・クロックそのものを、上記バス・ビジー信号が存在しない間では、システム・クロックのパルス数を減じた歯抜けクロックを、それぞれ動作クロックとしてマイクロプロセッサに供給するクロック制御手段を含むクロック制御装置。

2. 請求の範囲第1項記載のクロック制御装置において、

マイクロプロセッサに何れかの割込み要因に基づく割込み信号があった場合、該割込み要因対応に事前設定されているパルス数制御データが、マイクロプロセッサからバスを介し、クロック制御手段にプログラム転送によりマイクロプロセッサ・クロックパルス数制御データとして設定された上、マイクロプロセッサ動作クロックパルス数が制御される

クロック制御装置。

3. 請求の範囲第1項記載のクロック制御装置において、

クロック制御手段に何れかの割込み要因に基づく割込み信号があった場合、該割込み要因対応に事前設定されているパルス数制御データがマイクロプロセッサ・クロックパルス数制御データとして設定された上、マイクロプロセッサ動作クロックパルス数が制御される

クロック制御装置。

4. クロック制御装置が具備されてなるマイクロプロセッサであって、

クロック制御装置には、

マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号が存在している間は、システム・クロックそのものを、上記バス・ビジー信号が存在しない間では、システム・クロックのパルス数を減じた歯抜けクロックを、それぞれ動作クロックとして上記マイクロプロセッサに供給するクロック制御手段

が含まれてなるマイクロプロセッサ。

5. クロック制御装置が具備されてなるマイクロプロセッサを制御処理手段として含んでなる電子機器であって、

10 クロック制御装置には、

マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号が存在している間は、システム・クロックそのものを、上記バス・ビジー信号が存在しない間では、システム・クロックのパルス数を減じた歯抜けクロックを、それぞれ動作クロックとして上記マイクロプロセッサに供給するクロック制御手段

が含まれてなる電子機器。

6. 少なくとも、マイクロプロセッサからの、バスがビジー状態にあることを示すバス・ビジー信号の存否に基づき、動作クロック供給元で上記マイクロプロセッサへの動作クロックのクロックパルス数が制御されるクロック制御方法であって、

バス・ビジー信号が存在している間は、システム・クロックと同じパルス数の動作クロックをマイクロプロセッサに供給するシステム・クロック供給ステップと、

25 上記バス・ビジー信号が存在しない間、システム・クロックのパルス数を減じた歯抜けクロックをマイクロプロセッサに供給する歯抜けクロック供給ステップと

を含むクロック制御方法。

7. 請求の範囲第6項記載のクロック制御方法において、
上記歯抜けクロック供給ステップの実行に先立って、

5 マイクロプロセッサへの、各割込み要因に基づく割込み信号に
基づき、各割込み要因対応に事前設定されているパルス数制御デ
ータを、マイクロプロセッサからバスを介し、プログラム転送に
より動作クロック供給元にマイクロプロセッサ・クロックパルス
数制御データとして設定するステップが実行される
クロック制御方法。

10 8. 請求の範囲第6項記載のクロック制御方法において、
上記歯抜けクロック供給ステップの実行に先立って、
動作クロック供給元への、何れかの割込み要因に基づく割込み
信号に基づき、該割込み要因対応に事前設定されているパルス数
制御データを、マイクロプロセッサ・クロックパルス数制御デー
タとして設定するステップが実行される
15 クロック制御方法。

9. 外部からマイクロプロセッサへの割込み信号に基づき、該マ
イクロプロセッサへの動作クロックのパルス数を、パルス数制御
データに基づき動作クロック供給元で制御するためのクロック制
御プログラムであって、

20 外部から割込み信号がある度に、割込み要因を識別する割込み
要因識別ステップと、

該割込み要因識別ステップで識別された割込み要因対応に事前
設定されているパルス数制御データを、動作クロック供給元にマ
イクロプロセッサ・クロックパルス数制御データとしてプログラ
ム転送設定するパルス数制御データ転送設定ステップと
25 を含む処理を実行するクロック制御プログラム。

FIG. 1

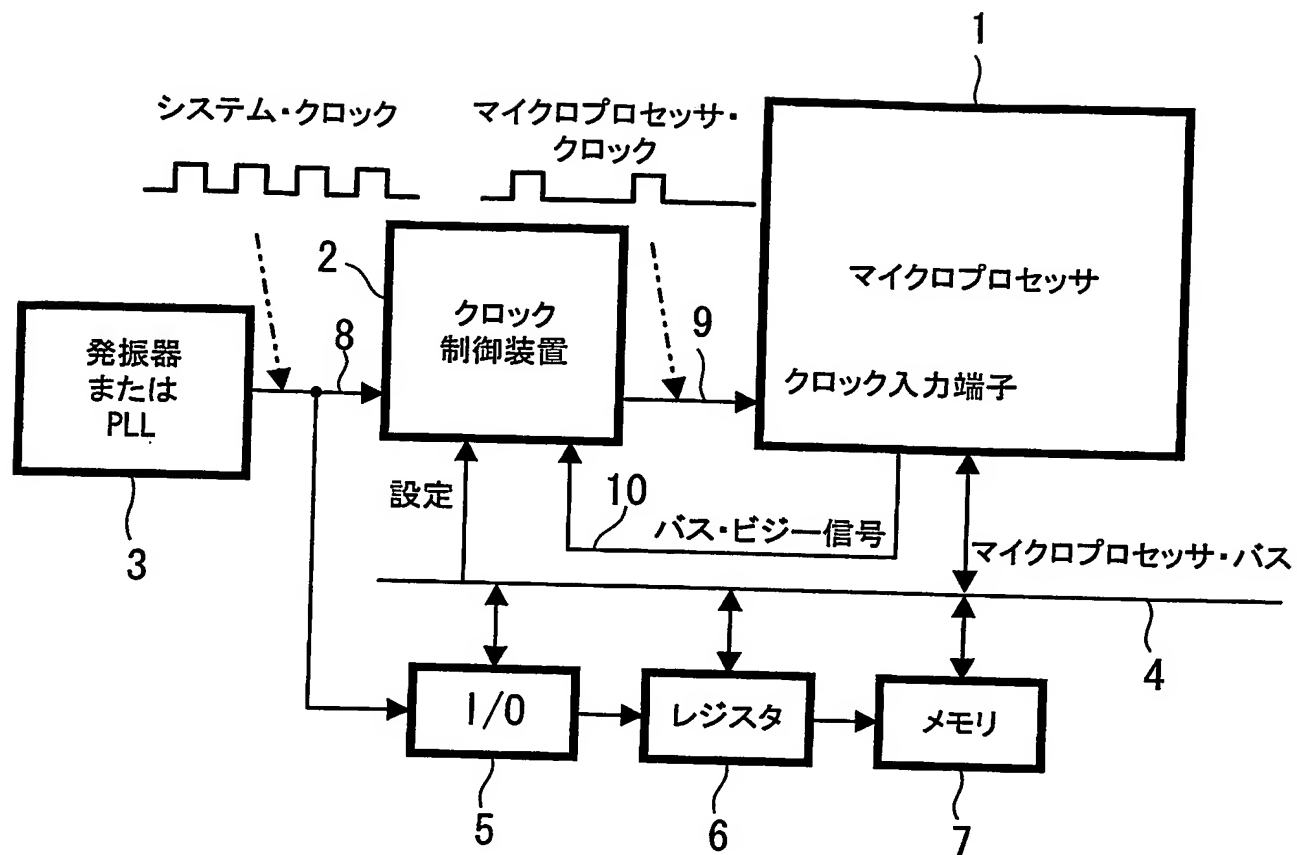


FIG. 3

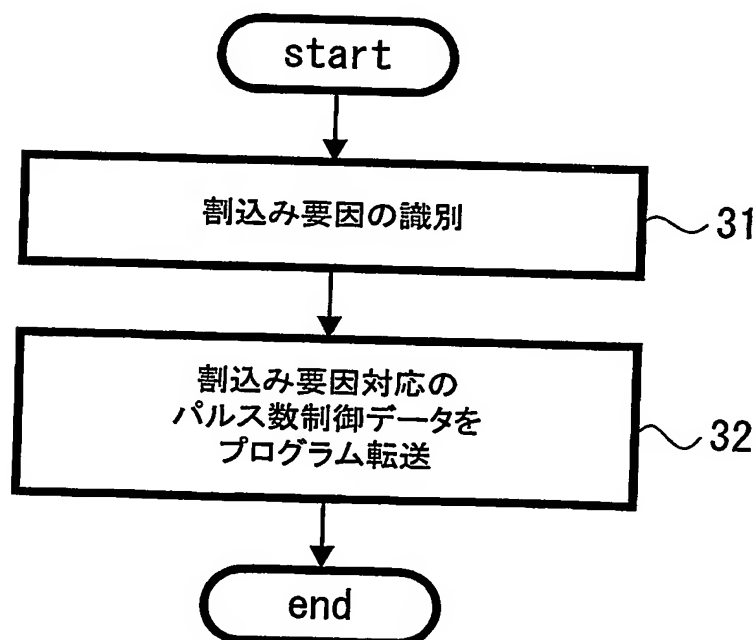


FIG. 2

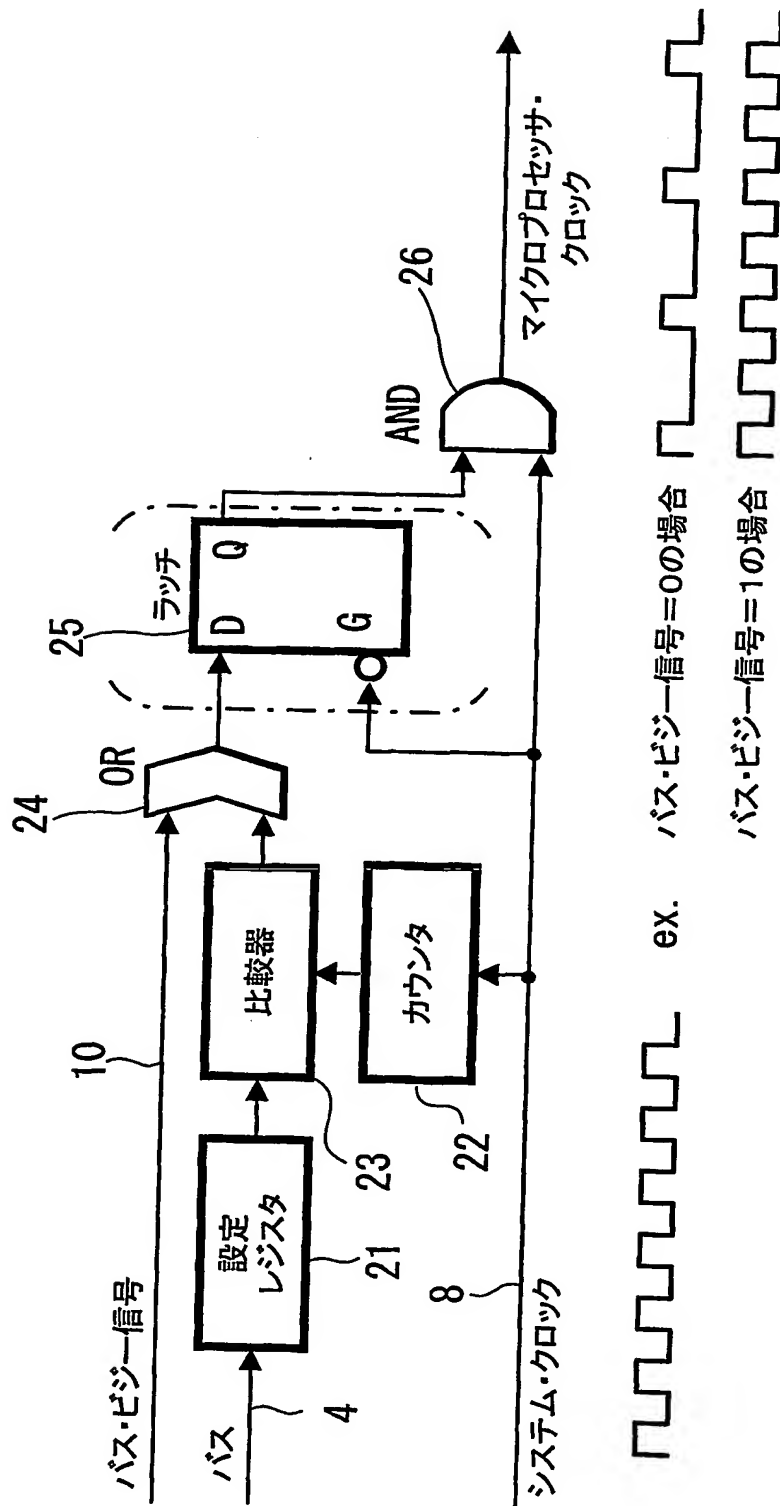


FIG. 4

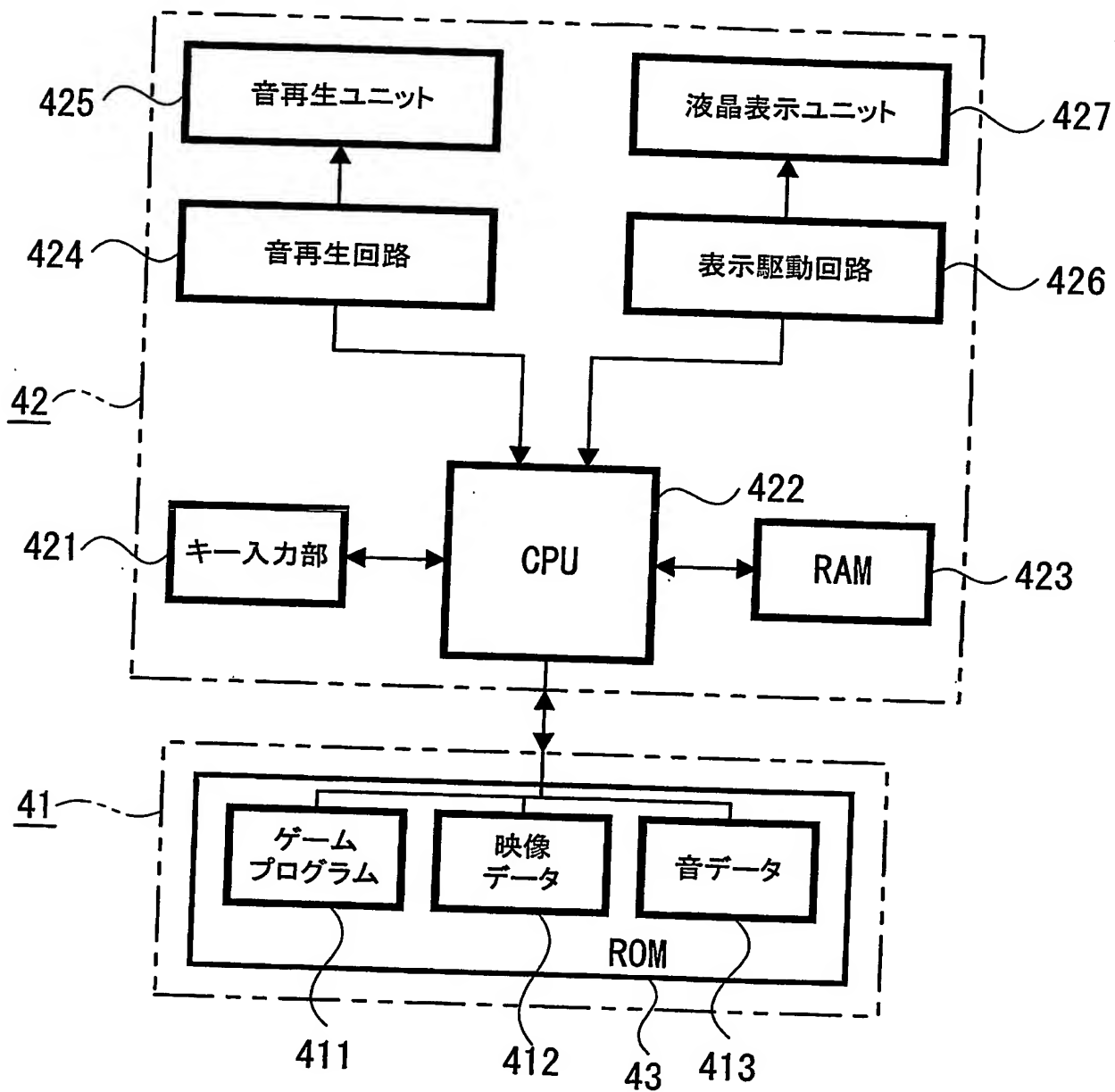
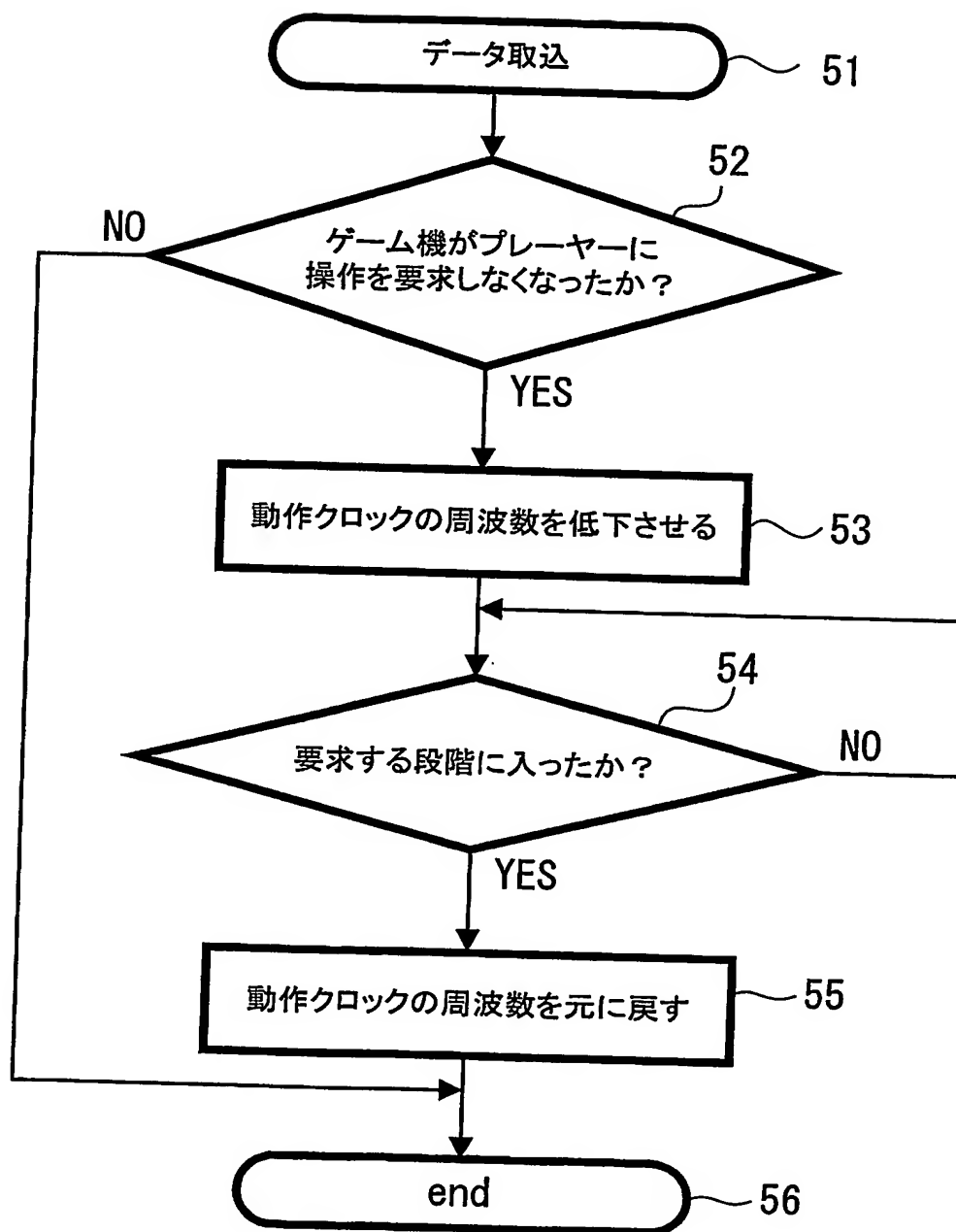


FIG. 5



引用符号の説明

1	マイクロプロセッサ
2	クロック制御装置
3	クロック発振器
4	マイクロプロセッサ・バス
5	入出力装置
6	レジスタ
7	メモリ
8	システム・クロック
9	マイクロプロセッサ・クロック
10	バス・ビジー信号
21	設定レジスタ
22	カウンタ
23	比較器
24R ゲート
25	ラッチ
26	AND ゲート
41	カセット
43	ROM
411	ゲームプログラム
412	映像データ
413	複数の音データ
421	キー入力部
422	CPU
423	RAM
424	音声再生回路
425	音再生ユニット
426	表示駆動回路

4 2 7 液晶表示ユニット

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/17060

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-60859 A (NEC Home Electronics Ltd.), 26 February, 1992 (26.02.92), Full text; all drawings (Family: none)	1-9
Y	JP 11-53049 A (Toshiba Corp.), 26 February, 1999 (26.02.99), Abstract (Family: none)	1-9
Y	JP 2000-99188 A (Fujitsu Ltd.), 07 April, 2000 (07.04.00), Abstract & US 6118312 A	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
06 April, 2004 (06.04.04)

Date of mailing of the international search report
27 April, 2004 (27.04.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/17060

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-260517 A (NEC Corp.), 17 October, 1989 (17.10.89), Full text; all drawings (Family: none)	1-9
A	JP 11-143570 A (Kawasaki Steel Corp.), 28 May, 1999 (28.05.99), Abstract (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F 1/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F 1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 4-60859 A (日本電気ホームエレクトロニクス株式会社) 1992. 02. 26, 全文、全図 (ファミリーなし)	1-9
Y	J P 11-53049 A (株式会社東芝) 1999. 02. 26, 要約 (ファミリーなし)	1-9
Y	J P 2000-99188 A (富士通株式会社) 2000. 04. 07, 要約&US 6118312 A	1-9
A	J P 1-260517 A (日本電気株式会社) 1989. 10. 17, 全文、全図 (ファミリーなし)	1-9
A	J P 11-143570 A (川崎製鉄株式会社) 1999. 05. 28, 要約 (ファミリーなし)	1-9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

06. 04. 2004

国際調査報告の発送日

27. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 山崎 慎一

5E 9174

電話番号 03-3581-1101 内線 3520